

#2

PATENT

PEARNE, GORDON, McCOY & GRANGER
526 Superior Avenue, East
Suite 1200
Cleveland Ohio 44114-1484
(216) 579-1700

Attorney Docket No. 32429

Assistant Commissioner for Patents
Box PATENT APPLICATION
Washington, D.C. 20231

jc678 U.S. PTO
09/527924
03/17/00

Sir:

Transmitted herewith for filing by other than a small entity is the patent application of:

Inventor: Nozomi Miura

For: AUTOMATIC GAIN CONTROL CIRCUIT AND RECEIVER
DEVICE HAVING THE AUTOMATIC GAIN CONTROL
CIRCUIT, AND AUTOMATIC GAIN CONTROL METHOD

13 sheets of formal drawings are included.

An assignment of the invention to Matsushita Electric Industrial Co., Ltd. is included along with a Recordation Form Cover Sheet. Please record and return the assignment to the undersigned.

Priority is claimed under 35 U.S.C. §119 on the basis of the following foreign applications:

Japanese Patent Application No. Hei. 11-73977 Filed March 18, 1999

A certified copy of this application is enclosed.

"Express Mail" mailing label number EL384023908US

Date of Deposit 3/17/00

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Paula Almasy

Printed Name of Person Mailing Paper or Fee

Paula Almasy
Signature of Person Mailing Paper or Fee

CLAIMS AS FILED

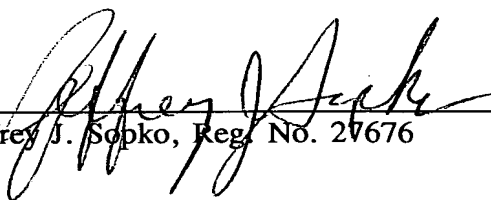
<u>For</u>	<u>Number</u>	<u>Rate</u>	<u>Fees</u>
Total claims in excess of 20:	0	× \$18.00	\$0.00
Independent claims in excess of 3:	1	× \$78.00	\$78.00
Multiple dependent claims, if any, add surcharge of \$260.00:			\$0.00
Non English Specification, add surcharge of \$130.00:			\$0.00
		Basic Fee	\$690.00
		TOTAL FILING FEE	\$768.00
Assignment Recordal Fee of \$40.00			\$40.00
		<u>TOTAL FEE</u>	<u>\$808.00</u>

A check in the amount of the Total Fee calculated above is enclosed.

The Commissioner is hereby authorized to charge any fees under 37 C.F.R. §§1.16 and 1.17 which may be required during the entire pendency of this application, or to credit any overpayment, to Deposit Account No. 16-0820, Order No. 32429.

Respectfully,

PEARNE, GORDON, McCOY & GRANGER



Jeffrey J. Sopko, Reg. No. 27676

Date: 3/17/00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JP678 U.S. PTO
09/527924
03/17/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 3月18日

出 願 番 号
Application Number:

平成11年特許願第073977号

出 願 人
Applicant(s):

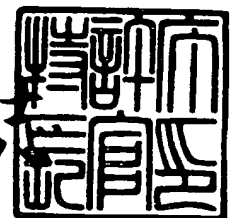
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 8月 2日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



出証番号 出証特平11-3054350

【書類名】 特許願

【整理番号】 2904809604

【提出日】 平成11年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 03/20

【発明者】

 【住所又は居所】 神奈川県横浜市港北区綱島東四丁目 3 番 1 号 松下通信
工業株式会社内

 【氏名】 三浦 望

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100073874

 【弁理士】

 【氏名又は名称】 萩野 平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100093573

 【弁理士】

 【氏名又は名称】 添田 全一

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 008763

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、記録媒体

【特許請求の範囲】

【請求項 1】 受信信号の振幅を制御信号に基づいて制御する可変利得増幅器を備えた自動利得制御回路において、

前記受信信号についてレベル検波を行い、帰還信号を生成して前記可変利得増幅器の制御信号とする制御信号生成手段と、

前記制御信号の生成タイミングまたは前記制御信号の生成周期を所定の物理量に応じて決定し、前記制御信号生成手段を制御する制御手段と、
を有することを特徴とする自動利得制御回路。

【請求項 2】 前記制御手段は、前記所定の物理量をアドレス情報とし、該アドレス情報に対応して前記制御信号の生成タイミングまたは前記制御信号の生成周期の情報を保持した参照テーブルを有することを特徴とする請求項 1 に記載の自動利得制御回路。

【請求項 3】 前記制御手段は、前記所定の物理量を当該自動利得制御回路の動作経過時間として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 1 または 2 に記載の自動利得制御回路。

【請求項 4】 前記制御手段は、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定することを特徴とする請求項 1、2 または 3 に記載の自動利得制御回路。

【請求項 5】 前記制御手段は、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定することを特徴とする請求項 1、2、3 または 4 に記載の自動利得制御回路。

【請求項 6】 前記受信信号の検波出力の変化量を検出する検波出力変化量検出手段を有し、

前記制御手段は、前記所定の物理量を前記検波出力の変化量として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 1 または 2 に記載の自動利得制御回路。

【請求項 7】 前記受信信号のフェージングピッチを検出するフェージングピッチ検出手段を有し、

前記制御手段は、前記所定の物理量をフェージングピッチとして、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 1 または 2 に記載の自動利得制御回路。

【請求項 8】 請求項 1、2、3、4、5、6 または 7 に記載の自動利得制御回路を有することを特徴とする受信装置。

【請求項 9】 受信信号の振幅を制御信号に基づいて制御する可変利得増幅器を備えた受信装置における自動利得制御方法において、

前記受信信号についてレベル検波を行い、帰還信号を生成して前記可変利得増幅器の制御信号とする制御信号生成ステップと、

前記制御信号の生成タイミングまたは前記制御信号の生成周期を所定の物理量に応じて決定する制御ステップと、
を有することを特徴とする受信装置における自動利得制御方法。

【請求項 10】 前記制御ステップは、前記所定の物理量を当該受信装置の動作経過時間として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 9 に記載の受信装置における自動利得制御方法。

【請求項 11】 前記制御ステップは、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定することを特徴とする請求項 9 または 10 に記載の受信装置における自動利得制御方法。

【請求項 12】 前記制御ステップは、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定することを特徴とする請求項 9、10 または 11 に記載の受信装置における自動利得制御方法。

【請求項 1 3】 前記受信信号の検波出力の変化量を検出する検波出力変化量検出ステップを有し、

前記制御ステップは、前記所定の物理量を前記検波出力の変化量として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 9 に記載の受信装置における自動利得制御方法。

【請求項 1 4】 前記受信信号のフェージングピッチを検出するフェージングピッチ検出ステップを有し、

前記制御ステップは、前記所定の物理量をフェージングピッチとして、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定することを特徴とする請求項 9 に記載の受信装置における自動利得制御方法。

【請求項 1 5】 請求項 9、1 0、1 1、1 2、1 3 または 1 4 に記載の受信装置における自動利得制御方法をコンピュータに実行させるためのプログラムとして記録したコンピュータにより読み取り可能な記録媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、自動利得制御ループの追従性を最適化して良好な受信動作を保証した自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、該自動利得制御方法を実行させるためのプログラムを記録した記録媒体に関する。

【0 0 0 2】

【従来の技術】

従来の受信装置における自動利得制御回路としては、例えば図 1 3 に示すようなものが知られている。同図において、従来の自動利得制御回路は、可変利得増幅器 1 1、復調部 1 2、A/D コンバータ 1 3、レベル検波器 1 4、平均化部 2 1、収束値差分算出用加算器 2 2、ループ利得制御用乗算器 2 3、積分回路部加算器 2 4、積分回路部ラッチ回路 2 5、演算部 2 6 および D/A コンバータ 2 7 を備えて構成されている。

【0 0 0 3】

本従来例の自動利得制御回路では、受信信号 R_i が入力されると、受信信号 R_i は可変利得増幅器 1 1 にて増幅され、復調部 1 2 で復調された後、A/Dコンバータ 1 3 によってデジタル値に変換されて復調出力 R_d とされる。復調出力 R_d の一部は、レベル検波器 1 4 によってレベル検波され自動利得制御ループに取り込まれる。

【0004】

レベル検波されたデータは、平均化部 2 1 によって一定時間平均化され、次に A/Dコンバータ 1 3 入力について収束するように、収束値差分算出用加算器 2 2 において一定の目標レベル A に対する差分を取り、さらにループ利得制御用乗算器 2 3 において当該自動利得制御回路におけるループ利得制御値 B が乗算される。乗算器 2 3 の出力は直前までのデータとの変化分として、加算器 2 4 とラッチ回路 2 5 により構成されている積分回路部に入力され、ラッチタイミング制御値 D のタイミングでラッチ回路 2 5 に積分データがラッチされることになる。該積分回路部の積分データは、演算部 2 6 によって可変利得増幅器 1 1 の制御電圧相当のデータに変換され、D/Aコンバータ 2 7 によってアナログ電圧に変換された後に、可変利得増幅器 1 1 への制御電圧として帰還されることとなる。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来 of 自動利得制御回路にあっては、可変利得増幅器 1 1 に帰還される制御信号の生成または更新の周期は固定であり、当該自動利得制御回路の電源の立ち上げ動作時や、当該自動利得制御回路を備えた受信装置が間欠受信動作を行う場合や、フェージング環境内での受信時における場合などの受信信号 R_i のレベル変動が大きいときに、自動利得制御ループの制御信号の生成または更新の周期が比較的大きい値で固定設定されている場合には、自動利得制御ループの追従性が悪くなり、逆に、自動利得制御ループの制御信号の生成または更新の周期が比較的小さい値で固定設定されている場合は、自動利得制御ループの追従性が早すぎて不安定な状態になり、発振などを起こすといった悪影響を及ぼす可能性があった。

【0006】

本発明は、上記従来の事情に鑑みてなされたものであって、電源立ち上げ動作時や、受信装置の間欠受信動作時や、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合においても、また、電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することにより、自動利得制御ループの追従性を最適化して良好な受信動作を保証し得る自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、記録媒体を提供することを目的としている。

【 0 0 0 7 】

また、本発明の他の目的は、自動利得制御ループにDSP（デジタルシグナルプロセッサ）を使用し、ソフトウェアプログラムによって受信系統の自動利得制御を行う場合においても、自動利得制御ループの追従性を最適化して良好な受信動作を保証し得る受信装置における自動利得制御方法および記録媒体を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1に係る自動利得制御回路は、受信信号の振幅を制御信号に基づいて制御する可変利得増幅器を備えた自動利得制御回路において、前記受信信号についてレベル検波を行い、帰還信号を生成して前記可変利得増幅器の制御信号とする制御信号生成手段と、前記制御信号の生成タイミングまたは前記制御信号の生成周期を所定の物理量に応じて決定し、前記制御信号生成手段を制御する制御手段とを具備するものである。

【 0 0 0 9 】

また、請求項2に係る自動利得制御回路は、請求項1に記載の自動利得制御回路において、前記制御手段は、前記所定の物理量をアドレス情報とし、該アドレス情報に対応して前記制御信号の生成タイミングまたは前記制御信号の生成周期の情報を保持した参照テーブルを具備するものである。

【 0 0 1 0 】

また、請求項3に係る自動利得制御回路は、請求項1または3に記載の自動利

得制御回路において、前記制御手段は、前記所定の物理量を当該自動利得制御回路の動作経過時間として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0 0 1 1】

また、請求項 4 に係る自動利得制御回路は、請求項 1、2 または 3 に記載の自動利得制御回路において、前記制御手段は、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定するものである。

【0 0 1 2】

また、請求項 5 に係る自動利得制御回路は、請求項 1、2、3 または 4 に記載の自動利得制御回路において、前記制御手段は、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定するものである。

【0 0 1 3】

また、請求項 6 に係る自動利得制御回路は、請求項 1 または 2 に記載の自動利得制御回路において、前記受信信号の検波出力の変化量を検出する検波出力変化量検出手段を具備し、前記制御手段は、前記所定の物理量を前記検波出力の変化量として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0 0 1 4】

また、請求項 7 に係る自動利得制御回路は、請求項 1 または 2 に記載の自動利得制御回路において、前記受信信号のフェージングピッチを検出するフェージングピッチ検出手段を具備し、前記制御手段は、前記所定の物理量をフェージングピッチとして、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0 0 1 5】

また、請求項 8 に係る受信装置は、請求項 1、2、3、4、5、6 または 7 に記載の自動利得制御回路を具備するものである。

【0 0 1 6】

また、請求項 9 に係る受信装置における自動利得制御方法は、受信信号の振幅を制御信号に基づいて制御する可変利得増幅器を備えた受信装置における自動利得制御方法において、前記受信信号についてレベル検波を行い、帰還信号を生成して前記可変利得増幅器の制御信号とする制御信号生成ステップと、前記制御信号の生成タイミングまたは前記制御信号の生成周期を所定の物理量に応じて決定する制御ステップとを具備するものである。

【0017】

また、請求項 10 に係る受信装置における自動利得制御方法は、請求項 9 に記載の受信装置における自動利得制御方法において、前記制御ステップは、前記所定の物理量を当該受信装置の動作経過時間として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0018】

また、請求項 11 に係る受信装置における自動利得制御方法は、請求項 9 または 10 に記載の受信装置における自動利得制御方法において、前記制御ステップは、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定するものである。

【0019】

また、請求項 12 に係る受信装置における自動利得制御方法は、請求項 9、10 または 11 に記載の受信装置における自動利得制御方法において、前記制御ステップは、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、前記制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定するものである。

【0020】

また、請求項 13 に係る受信装置における自動利得制御方法は、請求項 9 に記載の受信装置における自動利得制御方法において、前記受信信号の検波出力の変化量を検出する検波出力変化量検出ステップを具備し、前記制御ステップは、前記所定の物理量を前記検波出力の変化量として、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0021】

また、請求項14に係る受信装置における自動利得制御方法は、請求項9に記載の受信装置における自動利得制御方法において、前記受信信号のフェージングピッチを検出するフェージングピッチ検出ステップを具備し、前記制御ステップは、前記所定の物理量をフェージングピッチとして、前記制御信号の生成タイミングまたは前記制御信号の生成周期を決定するものである。

【0022】

さらに、請求項15に係るコンピュータにより読み取り可能な記録媒体は、請求項9、10、11、12、13または14に記載の受信装置における自動利得制御方法をコンピュータに実行させるためのプログラムとして記録したものである。

【0023】

本発明の請求項1、2に係る自動利得制御回路、請求項8に係る受信装置、請求項9に係る受信装置における自動利得制御方法、並びに、請求項15に係る記録媒体では、制御信号生成手段（制御信号生成ステップ）により、受信信号についてレベル検波を行い、帰還信号を生成して可変利得増幅器の制御信号とする際に、制御手段（制御ステップ）により、制御信号の生成タイミングまたは生成周期を所定の物理量に応じて決定するようにしている。

【0024】

これにより、受信信号レベルの変動幅が大きいことが予想される場合や、電界の状態が安定して受信信号レベルの変動幅が小さい場合などの様々な状況においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を様々な状況に応じた物理量の設定によって決定することができるので、様々な状況に応じて自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0025】

また特に、請求項2に係る自動利得制御回路では、制御手段の参照テーブルに、所定の物理量をアドレス情報とし、該アドレス情報に対応して制御信号の生成タイミングまたは生成周期の情報を保持し、該参照テーブルを参照して可変利得

増幅器の制御信号の生成タイミングまたは生成周期を所定の物理量に応じて決定する。

【0026】

これにより、自動利得制御ループの制御信号の生成タイミングまたは生成周期の最適化を、電源立ち上げ動作時や、受信装置の間欠受信動作時や、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定して受信信号レベルの変動幅が小さい場合など、様々な状況に応じて参照テーブルを参照することによって所定の物理量をきめ細かく設定することができるので、様々な状況に応じて自動利得制御ループの追従性を最適化して良好な受信特性を得ることができ、また、制御信号の生成タイミングまたは生成周期の生成方法やテーブル内のデータ自体の変更も、参照テーブルの交換によって簡単に行うことができる。

【0027】

また、本発明の請求項3、4、5に係る自動利得制御回路、請求項8に係る受信装置、請求項10、11、12に係る受信装置における自動利得制御方法、並びに、請求項15に係る記録媒体では、制御手段（制御ステップ）において、所定の物理量を自動利得制御回路または該自動利得制御回路を備えて構成する受信装置の動作経過時間として、制御信号の生成タイミングまたは生成周期を決定する。

【0028】

また特に、請求項4に係る自動利得制御回路および請求項11に係る受信装置における自動利得制御方法では、制御手段（制御ステップ）において、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を定常動作状態の生成周期よりも短く設定する。

【0029】

このように、自動利得制御回路または該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号の生成タイミングまたは生成周期を決定することとし、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を定常動作状態の生成周期よりも短

く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めているので、電源立ち上げ動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0 0 3 0】

また特に、請求項 5 に係る自動利得制御回路および請求項 1 2 に係る受信装置における自動利得制御方法では、制御手段（制御ステップ）において、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を前記定常動作状態の生成周期よりも短く設定する。

【0 0 3 1】

このように、自動利得制御回路または該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号の生成タイミングまたは生成周期を決定することとし、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めているので、受信装置の間欠受信動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0 0 3 2】

また、本発明の請求項 6 に係る自動利得制御回路、請求項 8 に係る受信装置、請求項 1 3 に係る受信装置における自動利得制御方法、並びに、請求項 1 5 に係る記録媒体では、制御手段（制御ステップ）において、所定の物理量を検波出力変化量検出手段（検波出力変化量検出ステップ）によって検出された受信信号の検波出力の変化量として、制御信号の生成タイミングまたは生成周期を決定する。

【0 0 3 3】

このように、検出した受信信号の検波出力の変化量に応じて制御信号の生成タ

イミングまたは生成周期を決定するので、受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定して受信信号レベルの変動幅が小さい場合など、様々な状況に応じて、自動利得制御ループの制御信号の生成タイミングまたは生成周期をきめ細かく最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0034】

さらに、本発明の請求項7に係る自動利得制御回路、請求項8に係る受信装置、請求項14に係る受信装置における自動利得制御方法、並びに、請求項15に係る記録媒体では、制御手段（制御ステップ）において、所定の物理量をフェージングピッチ検出手段（フェージングピッチ検出ステップ）によって検出された受信信号のフェージングピッチとして、制御信号の生成タイミングまたは生成周期を決定する。

【0035】

このように、検出した受信信号のフェージングピッチに応じて制御信号の生成タイミングまたは生成周期を決定するので、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0036】

なお、定常動作状態の時に、請求項6または7に係る自動利得制御回路、並びに、請求項13または14に係る受信装置における自動利得制御方法を、単独或いは複合的に適用するなどして、請求項3、4、5に係る自動利得制御回路、並びに、請求項10、11、12に係る受信装置における自動利得制御方法とこれらを組み合わせて制御信号の生成タイミングまたは生成周期を決定することも可能である。

【0037】

【発明の実施の形態】

以下、本発明の自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、記録媒体の実施の形態について、〔第1の

実施形態〕から〔第 5 の実施形態〕までを、順に図面を参照して詳細に説明する。なお、それぞれの実施形態の説明では、本発明に係る自動利得制御回路およびその回路を備えた受信装置、並びに、受信装置における自動利得制御方法について詳述するが、本発明に係る記録媒体については、自動利得制御方法を実行させるためのプログラムを記録した記録媒体であることから、その説明は以下の自動利得制御方法の説明に含まれるものである。

【 0 0 3 8 】

〔第 1 の実施形態〕

図 1 は本発明の第 1 の実施形態に係る自動利得制御回路の構成図であり、本発明の自動利得制御方法が適用される自動利得制御回路である。同図において、図 1 3（従来例）と重複する部分には同一の符号を附する。

【 0 0 3 9 】

同図において、本実施形態の自動利得制御回路は、可変利得増幅器 1 1、復調部 1 2、A/D コンバータ 1 3、レベル検波器 1 4、平均化部 1 5、収束値差分算出用加算器 1 6、ループ利得制御用乗算器 1 7、積分回路部の加算器 1 8、積分回路部のラッチ回路 1 9、演算部 2 0、D/A コンバータ 2 1 および制御部 2 5 を備えて構成されている。

【 0 0 4 0 】

ここで、可変利得増幅器 1 1、復調部 1 2 および A/D コンバータ 1 3 は、受信信号 R_i を入力して復調信号 R_d を出力する受信系統を形成し、レベル検波器 1 4、平均化部 1 5、収束値差分算出用加算器 1 6、ループ利得制御用乗算器 1 7、積分回路部の加算器 1 8、積分回路部のラッチ回路 1 9、演算部 2 0 および D/A コンバータ 2 1 は自動利得制御ループを形成している。なお、自動利得制御ループは、特許請求の範囲にいう制御信号生成手段に該当する。また制御部 2 5 は、マイクロプロセッサ等の処理手段によって実現され、特許請求の範囲にいう制御手段に該当する。

【 0 0 4 1 】

先ず、受信系統では、可変利得増幅器 1 1 は、自動利得制御ループにより生成された制御信号 G_C の電位に応じて利得を変化させることが可能である。また復

調部 1 2 は、それぞれ増幅された受信信号 (R i) を復調し、A/Dコンバータ 1 3 は、それぞれ復調後の信号をデジタル信号に変換して復調信号 R d を出力する。

【 0 0 4 2 】

また、自動利得制御ループでは、先ず、レベル検波器 1 4 により復調信号 R d の信号レベルを検出する。次に、平均化部 1 5 では検出された信号レベルを一定時間だけ平均化する。収束値差分算出用加算器 1 6 では、平均化部 1 5 の出力データと A/Dコンバータ 1 3 の入力の収束レベル目標値 A との差分演算を行う。またループ利得制御用乗算器 1 7 では、ループ利得制御値 B を乗算して自動利得制御ループにおけるループ利得を制御する。積分回路部の加算器 1 9 およびラッチ回路 1 9 では、制御部 2 5 からのラッチタイミング制御値 C 1 によるタイミングで加算結果をラッチしてデータの積分を行う。

【 0 0 4 3 】

さらに、演算部 2 0 では、積分データから可変利得増幅器 1 1 の制御電圧データを生成する。この制御電圧データは、さらに D/Aコンバータ 2 1 によってアナログ値に変換され、自動利得制御ループにより決定された電位を持つ制御信号 G C として、受信系統の可変利得増幅器 1 1 に供給される。

【 0 0 4 4 】

ここで、制御部 2 5 において、制御信号 G C の生成タイミングまたは生成周期を決定する手法について説明する。上述の通り、制御部 2 5 は、積分回路部において加算器 1 9 の出力をラッチ回路 1 9 でラッチするタイミングを制御するべく、ラッチタイミング制御信号 C 1 を出力しているが、ラッチ回路 1 9 には自動利得制御ループにおける直前のループ利得データが保持されており、ラッチタイミング制御信号 C 1 のトリガで、加算器 1 9 によってループ利得データの変化分を加算した結果をラッチするので、ラッチタイミング制御信号 C 1 が制御信号 G C の生成タイミングを規定し、該ラッチタイミング制御信号 C 1 のトリガの周期が制御信号 G C の生成周期となっている。

【 0 0 4 5 】

本実施形態の自動利得制御回路は、当該自動利得制御回路または当該自動利得

制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号GCの生成タイミングまたは生成周期を決定するもので、より具体的には、受信装置の電源をOFF状態からON状態に遷移させた（電源投入した）ときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号GCの生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間後には定常動作状態の生成周期に切り替えることを特徴としている。

【0046】

このような特徴を持つ制御信号GCの生成周期の決定方法について図2および図3を参照して説明する。図2は、受信装置の電源を投入したときの未動作状態（初期状態）から定常動作状態までの立ち上がりにおける自動利得制御ループの追従性を説明する説明図であり、図2（a）は本実施形態の自動利得制御回路の場合を、図2（b）は従来の自動利得制御回路の場合をそれぞれ示す。また図3は、制御部25が行う制御信号GCの生成周期の決定方法を説明するフローチャートである。

【0047】

先ず、図2（b）に示す従来の自動利得制御回路における問題点について説明する。通常、自動利得制御ループの制御信号GCの生成周期 T_1 [s] は、該自動利得制御ループのレベル変動に対する追従性を考慮した場合には低めに設定が行われるが、受信変調波のエンベロープに追従してしまい、受信特性の劣化を起こしたり、急激なレベル変動に対して不安定になること、並びに、発振等を起こす弊害があることから、設定に制限が生じる。したがって従来では、受信装置の電源をOFF状態からON状態に遷移させたときの未動作状態から定常動作状態までの立ち上がり時のようにレベル変動が大きい場合であっても、自動利得制御ループの制御信号GCの生成周期を定常動作状態と同等の T_1 [s]（例えば5 [ms]）としているため、自動利得制御ループの追従性が劣化する場合がある。

【0048】

これに対して、本実施形態の自動利得制御回路では、図2（a）に示すように

、上記従来の問題点に対処するため、受信装置の動作立ち上がり時に、定常動作状態の制御信号GCの生成周期 T_1 [s]（例えば5 [ms]）よりも短い制御信号GCの生成周期 T_2 [s]（例えば1 [ms]）に設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めて追従性が良好となるようにし、その後、受信電界検波レベルの立ち上がり完了を想定した経過時間 T_3 [s]の時に、定常動作状態の制御信号GCの生成周期 T_1 [s]に切り替えるようにしている。

【0049】

すなわち、図3に示すフローチャートにおいて、制御部25は、電源ONから経過時間 T_3 [s]に至るまではステップS303で制御信号GCの生成周期を定常動作状態よりも短い T_2 [s]に設定し、電源ONから経過時間 T_3 [s]に至った後はステップS302で制御信号GCの生成周期を定常動作状態の T_1 [s]に設定して、設定された生成周期に基づきラッチタイミング制御信号C1のトリガを生成する。なお、電源ONからの時間の計時はマイクロプロセッサ内のソフトウェアタイマによって行われ、電源ON時に該ソフトウェアタイマはリセットされる。

【0050】

このように受信装置の電源をOFF状態からON状態に遷移させたときの未動作状態から定常動作状態までの立ち上がり時に、自動利得制御ループの制御信号GCの生成周期 T_2 [s]を定常動作状態における生成周期 T_1 [s]よりも低く設定することにより、動作立ち上がり時における自動利得制御ループの追従性および自動利得制御ループの引き込みが改善される。

【0051】

次に、本実施形態の自動利得制御回路における受信系統および自動利得制御ループの動作について、図1を参照して説明する。まず、受信系統に受信信号 R_i が入力されると、可変利得増幅器11によって増幅され、復調部12によって復調され、さらにA/Dコンバータ13によってデジタル値に変換され、復調信号 R_d として出力される。ここで、受信系統の出力である復調信号 R_d の一部をレベル検波器14によってレベル検波して、自動利得制御ループに取り込む。

【 0 0 5 2 】

次に、自動利得制御ループにおいて、レベル検波器 1 4 によってレベル検波されたデータは、平均化部 1 5 によってある一定の時間だけ平均化処理される。例えば、0. 6 2 5 [ms] の間、区間平均した後にラッチを行い、以降、0. 6 2 5 [ms] の整数倍の間について移動平均を行う。次に、A / D コンバータ 1 3 の入力について収束するように、加算器 1 6 において、一定の目標レベル目標値 A (例えば 0. 5 [Vp-p]) に対する差分を取り、さらに乗算器 1 7 において、ループ利得制御値 B を乗算することにより自動利得制御ループにおけるループ利得を制御する。

【 0 0 5 3 】

そして乗算器 1 7 の出力は、直前まで自動利得制御ループから出力されていたループ利得データとの変化分として、加算器 1 8 とラッチ回路 1 9 により構成されている積分回路部に入力される。加算器 1 8 では、ラッチ回路 1 9 にラッチされている前回のループ利得データと乗算器 1 7 からの変化分とが加算され、ラッチ回路 1 9 では、制御部 2 5 で決定される制御信号 G C の生成周期に基づき生成されるラッチタイミング制御信号 C 1 のトリガによって加算結果がラッチされ、積分されることとなる。

【 0 0 5 4 】

積分回路部によって積分されたデータは、演算部 2 0 において、可変利得増幅器 1 1 の制御電圧相当のデータに変換される。該演算結果は、さらに D / A コンバータ 2 1 によってアナログ値に変換され、該データに基づく可変利得増幅器 1 1 の制御電圧として帰還される。

【 0 0 5 5 】

なお、平均化部 1 5 における区間平均および移動平均のパラメータは、DSP 等の演算処理から算出したものを使用しても良いし、或いは、ROM 等へ書き込まれた数値変換表の参照テーブルを参照したものを使用しても良い。また、他のパラメータに関し、加算器 1 6 で加算される目標値 A、並びに、乗算器 1 7 で乗算されるループ利得制御値 B 等も同様に、DSP 等の演算処理から算出したものを使用しても良いし、或いは、ROM 等へ書き込まれた数値変換表の参照テーブ

ルを参照したものを使用しても良い。

【0056】

次に、本実施形態の自動利得制御回路の第1の変形例として、制御部25に数値変換表（参照テーブル）を使用した変形例について説明する。この場合、制御部25は、例えば、マイクロプロセッサに対して、電源ONからの時間を計時するタイマ回路（カウンタ）、並びに、数値変換表が書き込まれたROM等のメモリを付加した構成となる。タイマ回路は電源ON時にリセットされて、電源ONからの経過時間をアドレスとしてメモリに出力する。メモリは該アドレス（経過時間）に制御信号GCの生成周期を保持しており、自動利得制御回路の動作経過時間に応じた制御信号GCの生成周期がマイクロプロセッサに供給されることとなる。そして、マイクロプロセッサでは、制御信号GCの生成周期に基づきラッチタイミング制御信号C1のトリガが生成される。

【0057】

ここで、上記図3に示した処理内容で生成周期を設定する場合には、タイマ回路により経過時間T3を計時して、時間T3を経過したか否かの信号をアドレスとして出力するようにすれば、メモリ内には生成周期T1、T2のデータのみを保持すればよいことになる。つまり、メモリに対するアドレッシングを工夫することで、メモリに保持する生成周期のデータ量を削減することが可能である。このような数値変換表（参照テーブル）の使用により、制御信号GCの生成周期の生成方法や生成周期データ自体の変更をROM交換等によって簡単に行うことができる。

【0058】

次に、本実施形態の自動利得制御回路の第2の変形例として、自動利得制御ループにデジタルシグナルプロセッサ（DSP）を使用した変形例を説明する。この場合には、例えば図1のレベル検波器14、平均化部15、収束値差分算出用加算器16、ループ利得制御用乗算器17、積分回路部の加算器18、積分回路部のラッチ回路19、演算部20、D/Aコンバータ21および制御部25の構成がDSPで実現されることとなるが、この時、該DSP上で実行されるソフトウェアプログラム（自動利得制御方法）の手順を図4のフローチャートを参照し

て説明する。ここで、図4のフローチャートで示される処理が特許請求の範囲にいう制御信号生成ステップに該当し、図3のフローチャートで示される処理が制御ステップに該当する。

【0059】

先ず、受信信号R_iが入力されると、ステップS401では、受信系統において、入力信号が可変利得増幅器11によって増幅され、復調部12によって復調され、さらにA/Dコンバータ13によってデジタル値に変換され、復調信号R_dとして出力される。ここでDSPでは、該受信系統から復調信号R_dの一部を取り込む。

【0060】

ステップS402ではレベル検波を行い、次にステップS403では、レベル検波されたデータを、ある一定の時間だけ平均化処理する。例えば、0.625 [ms]の間、区間平均した後にラッチを行い、以降、0.625 [ms]の整数倍の間について移動平均を行う。次に、ステップS404では、A/Dコンバータ13の入力について収束するように、一定の目標レベル目標値A（例えば0.5 [V_{p-p}]）に対する差分を取り、さらにステップS405において、ループ利得制御値Bを乗算することにより自動利得制御ループにおけるループ利得を制御する。そしてステップS406では、ステップS405の乗算結果を直前まで自動利得制御ループから出力されていたループ利得データとの変化分として、前回制御データに加算（積分）していく。

【0061】

ステップS406で積分されたデータは、ステップS407において、可変利得増幅器11の制御電圧相当のデータ（アナログ値）に変換され、可変利得増幅器11の制御電圧として帰還され、ステップS408で利得制御が行われる。

【0062】

なお、区間平均および移動平均のパラメータ、ステップS404の目標値A、並びに、ステップS405のループ利得制御値B等については、上述の自動利得制御回路におけるものと同様である。また、ステップS406における制御データの加算（積分）タイミングについては、上述の第1の実施形態の自動利得制御

回路における処理（図 3 のフローチャート参照）が同様にして行われ、受信装置の動作立ち上がり時には、より短い周期 T_2 [s] で行って自動利得制御ループの応答特性を定常動作状態時よりも早めて追従性が良好となるようにし、その後、受信電界検波レベルの立ち上がり完了を想定した T_3 [s] を経過した後は、定常動作状態の周期 T_1 [s] に切り替えて行う。

【 0 0 6 3 】

以上説明したように、第 1 の実施形態と、その第 1 の変形例および第 2 の変形例の自動利得制御回路によれば、当該自動利得制御回路または当該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号 GC の生成タイミングまたは生成周期を決定することとし、電源を OFF 状態から ON 状態に移移させた（電源投入した）ときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号 GC の生成周期 T_2 [s] を定常動作状態の生成周期 T_1 [s] よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間 T_3 [s] 後には定常動作状態の生成周期に切り替えるので、電源立ち上げ動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、また、電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【 0 0 6 4 】

〔第 2 の実施形態〕

次に、本発明の第 2 の実施形態に係る自動利得制御回路およびその回路を備えた受信装置における自動利得制御方法について説明する。本実施形態の自動利得制御回路の回路構成は、第 1 の実施形態（図 1）と同等であるが、制御部 25 における制御信号 GC の生成タイミングまたは生成周期を決定する手法が異なる。

【 0 0 6 5 】

図 1 において、制御部 25 は、第 1 の実施形態と同様に、積分回路部において加算器 19 の出力をラッチ回路 19 でラッチするタイミングを制御するべく、ラ

ッチタイミング制御信号C1を出力しているが、ラッチ回路19には自動利得制御ループにおける直前のループ利得データが保持されており、ラッチタイミング制御信号C1のトリガで、加算器19によってループ利得データの変化分を加算した結果をラッチするので、ラッチタイミング制御信号C1が制御信号GCの生成タイミングを規定し、該ラッチタイミング制御信号C1のトリガの周期が制御信号GCの生成周期となっている。

【0066】

本実施形態の自動利得制御回路は、当該自動利得制御回路または当該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号GCの生成タイミングまたは生成周期を決定するもので、より具体的には、受信装置が間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号GCの生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間後には定常動作状態の生成周期に切り替えることを特徴としている。

【0067】

このような特徴を持つ制御信号GCの生成周期の決定方法について図5および図6を参照して説明する。図5は、受信装置が間欠受信を行う際の未動作状態（初期状態）から定常動作状態までの立ち上がりにおける自動利得制御ループの追従性を説明する説明図であり、図5（a）は本実施形態の自動利得制御回路の場合を、図5（b）は従来の自動利得制御回路の場合をそれぞれ示す。また図6は、制御部25が行う制御信号GCの生成周期の決定方法を説明するフローチャートである。

【0068】

先ず、図5（b）に示す従来の自動利得制御回路における問題点について説明する。通常、自動利得制御ループの制御信号GCの生成周期 T_4 [s] は、該自動利得制御ループのレベル変動に対する追従性を考慮した場合には低めに設定が行われるが、受信変調波のエンベロープに追従してしまい、受信特性の劣化を起こしたり、急激なレベル変動に対して不安定になること、並びに、発振等を起こす弊害があることから、設定に制限が生じる。したがって従来では、受信装置が

間欠受信を行う際の未動作状態から定常動作状態までの立ち上がり時のようにレベル変動が大きい場合であっても、自動利得制御ループの制御信号GCの生成周期を定常動作状態と同等の T_4 [s]（例えば5 [ms]）としているため、自動利得制御ループの追従性が劣化する場合がある。

【0069】

これに対して、本実施形態の自動利得制御回路では、図5（a）に示すように、上記従来の問題点に対処するため、間欠受信の動作立ち上がり時に、定常動作状態の制御信号GCの生成周期 T_4 [s]（例えば5 [ms]）よりも短い制御信号GCの生成周期 T_5 [s]（例えば1 [ms]）に設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めて追従性が良好となるようにし、その後、受信電界検波レベルの立ち上がり完了を想定した経過時間 T_6 [s]の時に、定常動作状態の制御信号GCの生成周期 T_4 [s]に切り替えるようにしている。

【0070】

すなわち、図6に示すフローチャートにおいて、制御部25は、未動作状態からの立ち上がり時に経過時間 T_6 [s]に至るまではステップS603で制御信号GCの生成周期を定常動作状態よりも短い T_5 [s]に設定し、経過時間 T_6 [s]に至った後はステップS602で制御信号GCの生成周期を定常動作状態の T_4 [s]に設定して、ラッチタイミング制御信号C1のトリガを生成する。なお、時間の計時はマイクロプロセッサ内のソフトウェアタイマによって行われ、受信装置が受信動作に入った時に該ソフトウェアタイマはリセットされる。

【0071】

このように受信装置が間欠受信を行う際の未動作状態から定常動作状態までの立ち上がり時に、自動利得制御ループの制御信号GCの生成周期 T_5 [s]を定常動作状態における生成周期 T_4 [s]よりも低く設定することにより、動作立ち上がり時における自動利得制御ループの追従性および自動利得制御ループの引き込みが改善される。

【0072】

本実施形態の自動利得制御回路における受信系統および自動利得制御ループの動作については、上述した第1の実施形態の自動利得制御回路におけるものと同等であり、また、第1の実施形態の自動利得制御回路と同様に、第1および第2の変形例の適用が可能である。なお、第1の変形例（参照テーブルを使用した構成）の適用においては、タイマ回路は間欠受信において未動作状態から動作状態に遷移する時にリセットされる点が上記第1の実施形態のものとは異なることに留意する必要がある。

【0073】

以上説明したように、第2の実施形態の自動利得制御回路によれば、当該自動利得制御回路または当該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号GCの生成タイミングまたは生成周期を決定することとし、受信装置が間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号GCの生成周期 T_5 [s] を定常動作状態の生成周期 T_4 [s] よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間 T_6 [s] 後には定常動作状態の生成周期に切り替えるので、受信装置の間欠受信動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、また、電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0074】

〔第3の実施形態〕

図7は本発明の第3の実施形態に係る自動利得制御回路の構成図であり、本発明の自動利得制御方法が適用される自動利得制御回路である。同図において、図1（第1の実施形態）と重複する部分には同一の符号を附する。

【0075】

同図において、本実施形態の自動利得制御回路は、可変利得増幅器11、復調部12、A/Dコンバータ13、レベル検波器14、平均化部15、収束値差分

算出用加算器 16、ループ利得制御用乗算器 17、積分回路部の加算器 18、積分回路部のラッチ回路 19、演算部 20、D/Aコンバータ 21、ラッチ回路 22、加算器 23および制御部 26を備えて構成されている。

【0076】

ここで、可変利得増幅器 11、復調部 12およびA/Dコンバータ 13は、受信信号 R_i を入力して復調信号 R_d を出力する受信系統を形成し、レベル検波器 14、平均化部 15、収束値差分算出用加算器 16、ループ利得制御用乗算器 17、積分回路部の加算器 18、積分回路部のラッチ回路 19、演算部 20およびD/Aコンバータ 21は自動利得制御ループを形成している。なお、自動利得制御ループは、特許請求の範囲にいう制御信号生成手段に該当する。また制御部 26は、マイクロプロセッサ等の処理手段によって実現され、特許請求の範囲にいう制御手段に該当する。さらに、レベル検波器 14、平均化部 15、ラッチ回路 22および加算器 23は、特許請求の範囲にいう検波出力変化量検出手段に該当する。

【0077】

本実施形態の受信系統および自動利得制御ループの構成は第1の実施形態と同一であるので、その機能的な説明および動作説明については省略する。すなわち、本実施形態の自動利得制御回路の回路構成は、第1の実施形態（図1）の構成に対して検波出力変化量検出手段としてのラッチ回路 22および加算器 23を付加した構成であり、制御部 26における制御信号 G_C の生成タイミングまたは生成周期を決定する手法に特徴がある。

【0078】

図7において、制御部 26は、第1の実施形態と同様に、積分回路部において加算器 19の出力をラッチ回路 19でラッチするタイミングを制御するべく、ラッチタイミング制御信号 C_2 を出力しているが、ラッチ回路 19には自動利得制御ループにおける直前のループ利得データが保持されており、ラッチタイミング制御信号 C_2 のトリガで、加算器 19によってループ利得データの変化分を加算した結果をラッチするので、ラッチタイミング制御信号 C_2 が制御信号 G_C の生成タイミングを規定し、該ラッチタイミング制御信号 C_2 のトリガの周期が制御

信号 G C の生成周期となっている。

【 0 0 7 9 】

本実施形態の自動利得制御回路は、検波出力変化量検出手段（レベル検波器 1 4、平均化部 1 5、ラッチ回路 2 2 および加算器 2 3）によって検出された復調出力 R d のレベル検波出力の変化量に応じて制御信号 G C の生成周期（生成タイミング）を決定することを特徴としている。

【 0 0 8 0 】

このような特徴を持つ制御信号 G C の生成周期の決定方法について図 8 を参照して説明する。図 8 は、受信装置の自動利得制御ループにおける追従性を説明する説明図であり、図 8（a）は本実施形態の自動利得制御回路の場合を、図 8（b）は従来の自動利得制御回路の場合をそれぞれ示す。

【 0 0 8 1 】

先ず、図 8（b）に示す従来の自動利得制御回路では、自動利得制御ループの制御信号 G C の生成周期 T_7 [s] は、該自動利得制御ループのレベル変動とは無関係に一定値とされているため、急激な受信電界検波レベルの変動に対して自動利得制御ループの追従性が劣化する場合がある。

【 0 0 8 2 】

これに対して、本実施形態の自動利得制御回路では、図 8（a）に示すように、電界検波レベルを検出して該電界検波レベルの変化量に応じて制御信号 G C の生成周期 T_n [s] を決定するので、常に最適な生成周期（生成タイミング）で制御信号 G C を生成することができ、従来と比較して自動利得制御ループの追従性が改善されていることが分かる。

【 0 0 8 3 】

以上の説明を踏まえて、検波出力変化量検出手段（ラッチ回路 2 2、加算器 2 3）と制御部 2 6 の動作について詳細に説明する。

先ず、自動利得制御回路が動作を開始するときの初期状態においては、ラッチ回路 2 2 のラッチデータは任意に設定可能な値とし、自動利得制御ループによる制御信号 G C の電圧によって、可変利得増幅器 1 1 からある値が出力される。その結果、可変利得増幅器 1 1 の利得が変化して出力信号レベルが変化することに

よって、復調部 12、A/Dコンバータ 13、レベル検波回路 14、そして平均化部 15の出力も変化する。ラッチ回路 22には前回のデータがラッチされており、加算器 23により、変化した平均化部 15の出力とラッチ回路 22の前回データとの差分がとられ、検波レベルの変化量として制御部 26に供給される。制御部 26では、この検波レベルの変化量に応じて最適な制御信号 GC の生成周期を設定して、該生成周期に基づきラッチタイミング制御信号 C2 のトリガを積分回路部のラッチ回路 19に出力する。

【0084】

積分回路部では、ラッチタイミング制御信号 C2 のトリガでラッチ回路 19のデータを更新することにより、ループ利得データの変化分を積分していく。さらに、該積分回路部によって積分されたデータは、演算部 20において、可変利得増幅器 11の制御電圧相当のデータに変換され、該演算結果は、さらに D/Aコンバータ 21によってアナログ値に変換され、該データに基づく可変利得増幅器 11の制御電圧として帰還される。

【0085】

次に、本実施形態の自動利得制御回路の第 1 の変形例として、制御部 26に数値変換表（参照テーブル）を使用した変形例について説明する。この場合、制御部 26は、例えば、マイクロプロセッサに対して、数値変換表が書き込まれた ROM等のメモリを付加した構成となる。メモリは、検波レベルの変化量に応じた制御信号 GC の生成周期を保持しており、検波出力変化量検出手段（加算器 23）の出力をアドレスとして入力し、制御信号 GC の生成周期をマイクロプロセッサに供給する。そして、マイクロプロセッサでは、制御信号 GC の生成周期に基づきラッチタイミング制御信号 C2 のトリガを生成することとなる。このような数値変換表（参照テーブル）の使用により、制御信号 GC の生成周期データの変更を ROM交換等によって簡単に行うことができる。

【0086】

次に、本実施形態の自動利得制御回路の第 2 の変形例として、自動利得制御ループにデジタルシグナルプロセッサ（DSP）を使用した変形例を説明する。この場合には、例えば図 7における自動利得制御ループ（レベル検波器 14、平均

化部 1 5、収束値差分算出用加算器 1 6、ループ利得制御用乗算器 1 7、積分回路部の加算器 1 8、積分回路部のラッチ回路 1 9、演算部 2 0 および D/A コンバータ 2 1) と、検波出力変化量検出手段 (ラッチ回路 2 2 および加算器 2 3) と制御部 2 6 との構成が DSP で実現されることとなる。

【 0 0 8 7 】

自動利得制御ループに該当する処理部分 (制御信号生成ステップ) は、第 1 の実施形態と同様に図 4 に示されるフローチャートの手順で実行されるが、図 4 のステップ S 4 0 6 における制御データの加算 (積分) タイミングについては、別途、図 9 に示されるフローチャートの手順で制御データの積分タイミングが設定される。

【 0 0 8 8 】

すなわち、図 9 は、検波出力変化量検出手段および制御部に該当して、積分周期 (積分タイミング) を決定する方法を説明するフローチャートである。ステップ S 9 0 1 ではレベル検波を行い、ステップ S 9 0 2 では、レベル検波されたデータがある一定の時間だけ平均化処理する。次にステップ S 9 0 3 では、前回の検波データとの差分から検波データの変化量を計算し、ステップ S 9 0 4 では、計算された検波データの変化量に基づき制御データの積分周期 (積分タイミング) が決定される。ここで、ステップ S 9 0 1 から S 9 0 3 が特許請求の範囲にいう検波出力変化量検出ステップに該当し、ステップ S 9 0 4 が制御ステップに該当する。なお、ステップ S 9 0 1 および S 9 0 2 は、図 4 におけるステップ S 4 0 2 および S 4 0 3 と同一の処理ステップとしてよい。

【 0 0 8 9 】

以上説明したように、第 3 の実施形態と、その第 1 の変形例および第 2 の変形例の自動利得制御回路によれば、検波出力変化量検出手段 (検波出力変化量検出ステップ) によって検出された復調出力 R_d の検波出力の変化量に応じて制御信号の生成周期 T_n [s] (または生成タイミング) を決定するので、受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定して受信信号レベルの変動幅が小さい場合など、様々な状況に応じて、自動利得制御ループの制御信号の生成周期 (生成タイミング) をきめ細かく最適化することができ

、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0090】

〔第4の実施形態〕

図10は本発明の第4の実施形態に係る自動利得制御回路の構成図であり、本発明の自動利得制御方法が適用される自動利得制御回路である。同図において、図1（第1の実施形態）と重複する部分には同一の符号を附する。

【0091】

同図において、本実施形態の自動利得制御回路は、可変利得増幅器11、復調部12、A/Dコンバータ13、レベル検波器14、平均化部15、収束値差分算出用加算器16、ループ利得制御用乗算器17、積分回路部の加算器18、積分回路部のラッチ回路19、演算部20、D/Aコンバータ21、フェージングピッチ検出部24および制御部27を備えて構成されている。

【0092】

ここで、可変利得増幅器11、復調部12およびA/Dコンバータ13は、受信信号R_iを入力して復調信号R_dを出力する受信系統を形成し、レベル検波器14、平均化部15、収束値差分算出用加算器16、ループ利得制御用乗算器17、積分回路部の加算器18、積分回路部のラッチ回路19、演算部20およびD/Aコンバータ21は自動利得制御ループを形成している。なお、自動利得制御ループは、特許請求の範囲にいう制御信号生成手段に該当する。また制御部27は、マイクロプロセッサ等の処理手段によって実現され、特許請求の範囲にいう制御手段に該当する。さらに、フェージングピッチ検出部24は受信信号R_iのフェージングピッチを検出する手段に該当する。

【0093】

本実施形態の受信系統および自動利得制御ループの構成は第1の実施形態と同一であるので、その機能的な説明および動作説明については省略する。すなわち、本実施形態の自動利得制御回路の回路構成は、第1の実施形態（図1）の構成に対してフェージングピッチ検出部24を付加した構成であり、制御部27における制御信号G_Cの生成タイミングまたは生成周期を決定する手法に特徴がある。

【0094】

図10において、制御部27は、第1の実施形態と同様に、積分回路部において加算器19の出力をラッチ回路19でラッチするタイミングを制御するべく、ラッチタイミング制御信号C3を出力しているが、ラッチ回路19には自動利得制御ループにおける直前のループ利得データが保持されており、ラッチタイミング制御信号C3のトリガで、加算器19によってループ利得データの変化分を加算した結果をラッチするので、ラッチタイミング制御信号C3が制御信号GCの生成タイミングを規定し、該ラッチタイミング制御信号C3のトリガの周期が制御信号GCの生成周期となっている。

【0095】

制御部27では、フェージングピッチ検出部24によって検出された受信信号Riのフェージングピッチに応じて制御信号GCの生成周期（生成タイミング）を決定する。すなわち、フェージングピッチに応じて最適な制御信号GCの生成周期を設定して、該生成周期に基づきラッチタイミング制御信号C3のトリガを積分回路部のラッチ回路19に出力する。

【0096】

積分回路部では、ラッチタイミング制御信号C3のトリガでラッチ回路19のデータを更新することにより、ループ利得データの変化分を積分していく。さらに、該積分回路部によって積分されたデータは、演算部20において、可変利得増幅器11の制御電圧相当のデータに変換され、該演算結果は、さらにD/Aコンバータ21によってアナログ値に変換され、該データに基づく可変利得増幅器11の制御電圧として帰還される。

【0097】

次に、本実施形態の自動利得制御回路の第1の変形例として、制御部26に数値変換表（参照テーブル）を使用した変形例について説明する。この場合、制御部26は、例えば、マイクロプロセッサに対して、数値変換表が書き込まれたROM等のメモリを付加した構成となる。メモリは、受信信号Riのフェージングピッチに応じた制御信号GCの生成周期を保持しており、フェージングピッチ検

出部 24 の出力をアドレスとして入力し、制御信号 GC の生成周期をマイクロプロセッサに供給する。そして、マイクロプロセッサでは、制御信号 GC の生成周期に基づきラッチタイミング制御信号 C3 のトリガを生成することとなる。このような数値変換表（参照テーブル）の使用により、制御信号 GC の生成周期データの変更を ROM 交換等によって簡単に行うことができる。

【0098】

次に、本実施形態の自動利得制御回路の第 2 の変形例として、自動利得制御ループにデジタルシグナルプロセッサ（DSP）を使用した変形例を説明する。この場合には、例えば図 10 における自動利得制御ループ（レベル検波器 14、平均化部 15、収束値差分算出用加算器 16、ループ利得制御用乗算器 17、積分回路部の加算器 18、積分回路部のラッチ回路 19、演算部 20 および D/A コンバータ 21）と、フェージングピッチ検出部 24 と制御部 27 との構成が DSP で実現されることとなる。

【0099】

自動利得制御ループに該当する処理部分（制御信号生成ステップ）は、第 1 の実施形態と同様に図 4 に示されるフローチャートの手順で実行されるが、図 4 のステップ S406 における制御データの加算（積分）タイミングについては、別途、図 11 に示されるフローチャートの手順で制御データの積分タイミングが設定される。

【0100】

すなわち、図 11 は、フェージングピッチ検出部および制御部に該当して、積分周期（積分タイミング）を決定する方法を説明するフローチャートである。ステップ S1001 では受信信号 Ri のフェージングピッチの検出を行い、ステップ S1002 では、検出されたフェージングピッチに基づき制御データの積分周期（積分タイミング）が決定される。ここで、ステップ S1001 が特許請求の範囲にいうフェージングピッチ検出ステップに該当し、ステップ S1002 が制御ステップに該当する。

【0101】

以上説明したように、第 4 の実施形態と、その第 1 の変形例および第 2 の変形

例の自動利得制御回路によれば、フェージングピッチ検出部 2 4（フェージングピッチ検出ステップ）によって検出された受信信号 R_i のフェージングピッチに応じて制御信号の生成周期（または生成タイミング）を決定するので、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合においても、また電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成周期（生成タイミング）を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0 1 0 2】

〔第 5 の実施形態〕

図 1 2 は本発明の第 5 の実施形態に係る自動利得制御回路を備えた受信装置の構成図である。本実施形態の受信装置では、自動利得制御回路（AGC）として上述した第 1、第 2、第 3 または第 4 の実施の形態の自動利得制御回路を使用している。

【0 1 0 3】

図 1 2 において本実施形態の受信装置は、送受信を行うためのアンテナ 1 0 1、アンテナ共用器 1 0 2、高周波におけるバンドパスフィルタ 1 0 3、低雑音増幅器 1 0 4、高周波帯より中間周波数帯に周波数変換するためのダウンミキサ 1 0 5、中間周波数帯におけるバンドパスフィルタ 1 0 6、自動利得制御回路（AGC）1 0 7、周波数シンセサイザ 1 0 8、レシーバ 1 0 9、受信装置の操作を行うためのキー入力部 1 1 1、マイクロフォン 1 1 2、送信回路 1 1 3、電源部 1 1 4、並びに、当該受信装置の制御を司る制御部 1 1 0 を備えた構成である。

【0 1 0 4】

次に本実施形態の受信装置における動作について、図 1 2 を参照して説明する。まず、アンテナ 1 0 1 によって信号（ここでは、例えば 2 [GHz] 帯の信号を想定する）が受信される。アンテナ 1 0 1 を介して入力された信号は、共用器 1 0 2 を通過した後に高周波帯用バンドパスフィルタ 1 0 3 によって、希望の周波数帯以外の信号成分が減衰させられる。バンドパスフィルタ 1 0 3 を通過した信

号は低雑音増幅器 104 によって増幅され、ダウンミキサ 105 によって中間周波数帯（例えば 380 [MHz]）に周波数変換され、中間周波数帯用バンドパスフィルタ 106 を介して自動利得制御回路 107 に入力される。

【0105】

自動利得制御回路 107 に入力された信号は、自動利得制御回路 107 内に設けられている復調部 12 によって復調され、ベースバンド信号として制御部 110 へと出力されて信号処理がされることとなる。また、自動利得制御回路 107 内の自動利得制御ループでは、復調出力 R_d がレベル検波器 14 によってレベル検波され、以降、第 1、第 2、第 3 または第 4 の実施形態において説明した信号処理がなされ、可変利得増幅器 11 に供給すべき帰還電圧（制御信号 GC）が生成される。

【0106】

以上説明したように、本実施形態の受信装置によれば、第 1、第 2、第 3 または第 4 の実施の形態の自動利得制御回路（1，2 または 3）を使用するので、電源立ち上げ動作時や、受信装置の間欠受信動作時や、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定し受信信号レベルの変動幅が小さい場合などの様々な状況においても、受信装置の未動作状態からの経過時間、受信信号の検波出力の変化量、或いは受信信号のフェージングピッチ等に応じて自動利得制御ループの制御信号 GC の生成周期を設定することができるので、自動利得制御ループの追従性を最適化して最適な自動利得制御動作にて受信動作を行うことができ、結果として良好な受信特性を得ることができる。

【0107】

また特に、第 1 の実施形態の自動利得制御回路 1 を使用すれば、電源を OFF 状態から ON 状態に遷移させた（電源投入した）ときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号 GC の生成周期 T₂ [s] を定常動作状態の生成周期 T₁ [s] よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間 T₃ [s] 後には定常動作状態の生成周期に切り替えるので、動作立ち上がり時における自動利得制

御ループの追従性および該自動利得制御ループの引き込みを改善することができ、電源立ち上げ動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、また、電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成周期（生成タイミング）を最適化して該自動利得制御ループの追従性を最適化することができ、結果として良好な受信特性を得ることができる。

【0108】

また特に、第2の実施形態の自動利得制御回路1を使用すれば、受信装置が間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号GCの生成周期 T_5 [s] を定常動作状態の生成周期 T_4 [s] よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間 T_6 [s] 後には定常動作状態の生成周期に切り替えるので、動作立ち上がり時における自動利得制御ループの追従性および該自動利得制御ループの引き込みを改善することができ、受信装置の間欠受信動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、また、電界の状態が安定して受信信号レベルの変動幅が小さい場合においても、自動利得制御ループの制御信号の生成周期（生成タイミング）を最適化して該自動利得制御ループの追従性を最適化することができ、結果として良好な受信特性を得ることができる。

【0109】

【発明の効果】

以上説明したように、本発明の自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、記録媒体によれば、制御信号生成手段（制御信号生成ステップ）により、受信信号についてレベル検波を行い、帰還信号を生成して可変利得増幅器の制御信号とする際に、制御手段（制御ステップ）により、制御信号の生成タイミングまたは生成周期を所定の物理量に応じて決定するので、受信信号レベルの変動幅が大きいことが予想される場合や、電界の状態が安定して受信信号レベルの変動幅が小さい場合などの様々な状況においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を

様々な状況に応じた物理量の設定によって決定することにできるので、様々な状況に応じて自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0110】

また、本発明によれば、所定の物理量をアドレス情報とし、該アドレス情報に対応して制御信号の生成タイミングまたは生成周期の情報を保持した参照テーブルを参照して、可変利得増幅器の制御信号の生成タイミングまたは生成周期を所定の物理量に応じて決定することとしたので、自動利得制御ループの制御信号の生成タイミングまたは生成周期の最適化を、電源立ち上げ動作時や、受信装置の間欠受信動作時や、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定して受信信号レベルの変動幅が小さい場合など、様々な状況に応じて参照テーブルを参照することによって所定の物理量をきめ細かく設定することができる、様々な状況に応じて自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。また、制御信号の生成タイミングまたは生成周期の生成方法やテーブル内のデータ自体の変更も、参照テーブルの交換によって簡単に行うことができる。

【0111】

また、本発明によれば、制御手段（制御ステップ）において、自動利得制御回路または該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて制御信号の生成タイミングまたは生成周期を決定することとし、電源投入したときの未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めているので、電源立ち上げ動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0112】

また、本発明によれば、制御手段（制御ステップ）において、自動利得制御回路または該自動利得制御回路を備えて構成する受信装置の動作経過時間に応じて

制御信号の生成タイミングまたは生成周期を決定することとし、間欠受信を行う際の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号の生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早めているので、受信装置の間欠受信動作時の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0113】

また、本発明によれば、検波出力変化量検出手段（検波出力変化量検出ステップ）によって検出された受信信号の検波出力の変化量に応じて、制御手段（制御ステップ）により制御信号の生成タイミングまたは生成周期を決定するので、受信信号レベルの変動幅が大きいことが予想される場合、或いは電界の状態が安定して受信信号レベルの変動幅が小さい場合など、様々な状況に応じて、自動利得制御ループの制御信号の生成タイミングまたは生成周期をきめ細かく最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【0114】

さらに、本発明によれば、フェージングピッチ検出手段（フェージングピッチ検出ステップ）によって検出された受信信号のフェージングピッチに応じて、制御手段（制御ステップ）により制御信号の生成タイミングまたは生成周期を決定するので、フェージング環境内での受信時等の受信信号レベルの変動幅が大きいことが予想される場合においても、自動利得制御ループの制御信号の生成タイミングまたは生成周期を最適化することができ、自動利得制御ループの追従性を最適化して良好な受信特性を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る自動利得制御回路の構成図である。

【図2】

受信装置の電源を投入したときの未動作状態（初期状態）から定常動作状態までの立ち上がりにおける自動利得制御ループの追従性を説明する説明図であり、図 2（a）は第 1 の実施形態の自動利得制御回路の場合、図 2（b）は従来の場合である。

【図 3】

第 1 の実施形態の制御部が行う制御信号の生成周期の決定方法を説明するフローチャートである。

【図 4】

第 2 の変形例の DSP 上で実行されるソフトウェアプログラム（自動利得制御方法）の手順を説明するフローチャートである。

【図 5】

受信装置が間欠受信を行う際の未動作状態（初期状態）から定常動作状態までの立ち上がりにおける自動利得制御ループの追従性を説明する説明図であり、図 5（a）は第 2 の実施形態の自動利得制御回路の場合、図 5（b）は従来の場合である。

【図 6】

第 2 の実施形態の制御部が行う制御信号の生成周期の決定方法を説明するフローチャートである。

【図 7】

本発明の第 3 の実施形態に係る自動利得制御回路の構成図である。

【図 8】

受信装置の自動利得制御ループにおける追従性を説明する説明図であり、図 8（a）は第 3 の実施形態の自動利得制御回路の場合、図 8（b）は従来の場合である。

【図 9】

第 3 の実施形態の積分周期（積分タイミング）を決定する方法を説明するフローチャートである。

【図 10】

本発明の第 4 の実施形態に係る自動利得制御回路の構成図である。

【図 1 1】

第 4 の実施形態の積分周期（積分タイミング）を決定する方法を説明するフローチャートである。

【図 1 2】

本発明の第 5 の実施形態に係る自動利得制御回路を備えた受信装置の構成図である。

【図 1 3】

従来の受信装置における自動利得制御回路の構成図である。

【符号の説明】

1, 2, 3, 1 0 7 自動利得制御回路（A G C）

1 1 可変利得増幅器

1 2 復調部

1 3 A / D コンバータ

1 4 レベル検波器

1 5 平均化部

1 6 収束値差分算出用加算器

1 7 ループ利得制御用乗算器

1 8 積分回路部の加算器

1 9 積分回路部のラッチ回路

2 0 演算部

2 1 D / A コンバータ

2 2 ラッチ回路

2 3 加算器

2 4 フェージングピッチ検出部

2 5, 2 6, 2 7 制御部

R i 受信信号入力

R d 復調出力

A 目標値

B ループ利得制御値

C 1, C 2, C 3 ラッチタイミング制御信号

GC 制御信号

1 0 1 アンテナ

1 0 2 共用器

1 0 3 高周波帯用バンドパスフィルタ

1 0 4 低雑音増幅器

1 0 5 ダウンミキサ

1 0 6 中間周波数帯用バンドパスフィルタ

1 0 8 周波数シンセサイザ

1 0 9 レシーバ

1 1 0 制御部

1 1 1 キー操作入力部

1 1 2 マイクロフォン

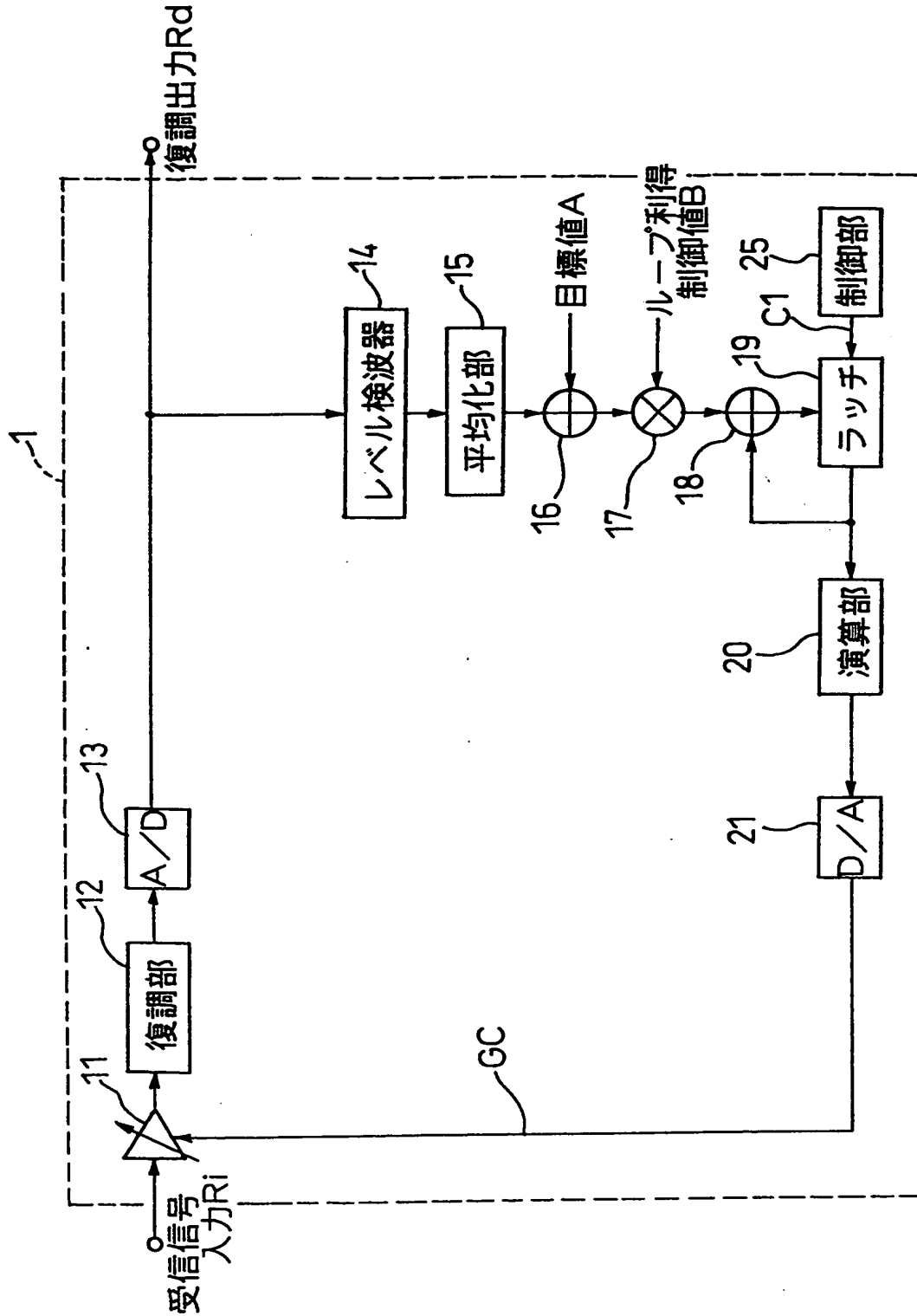
1 1 3 送信回路

1 1 4 電源部

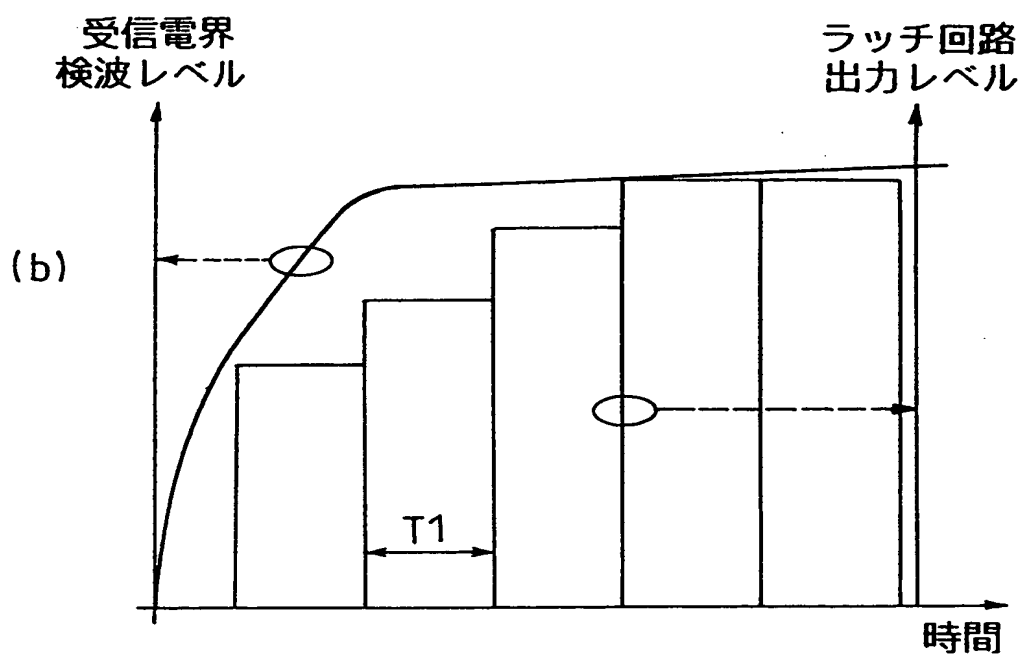
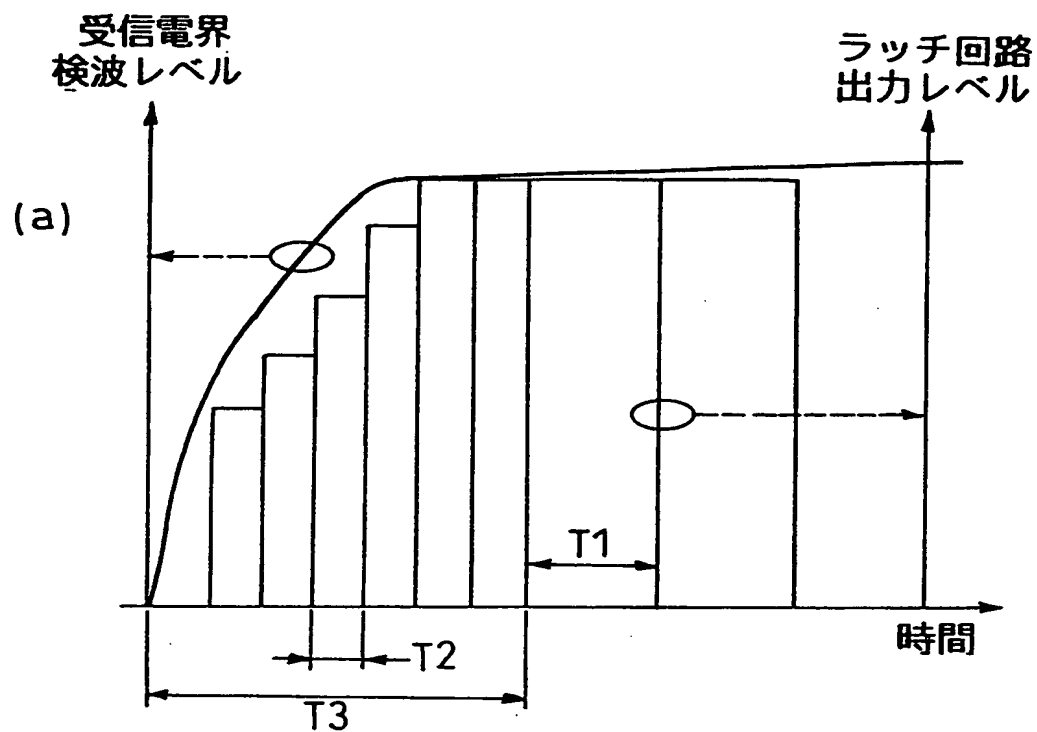
【書類名】

図面

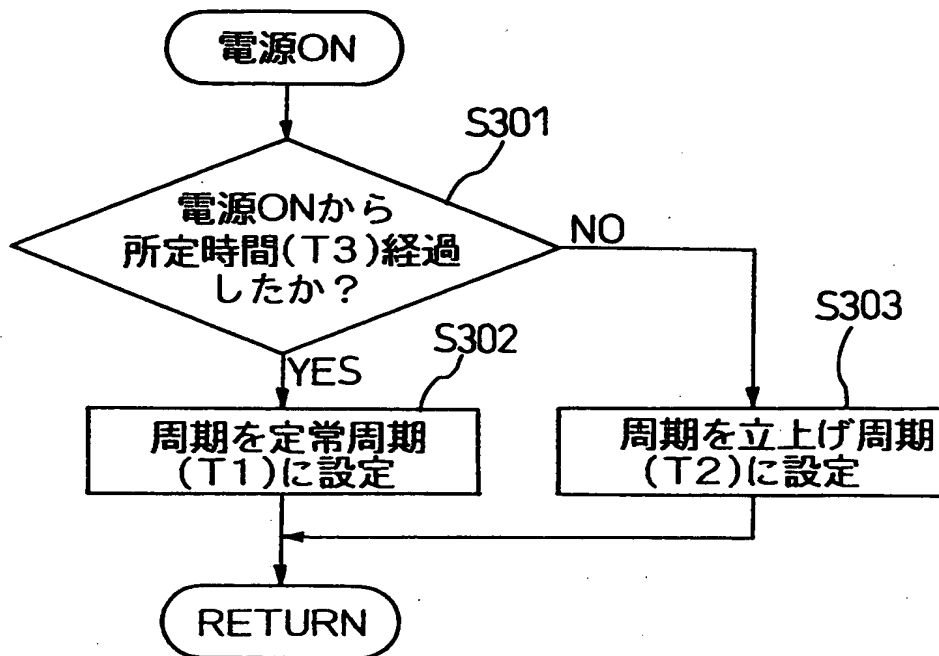
【図 1】



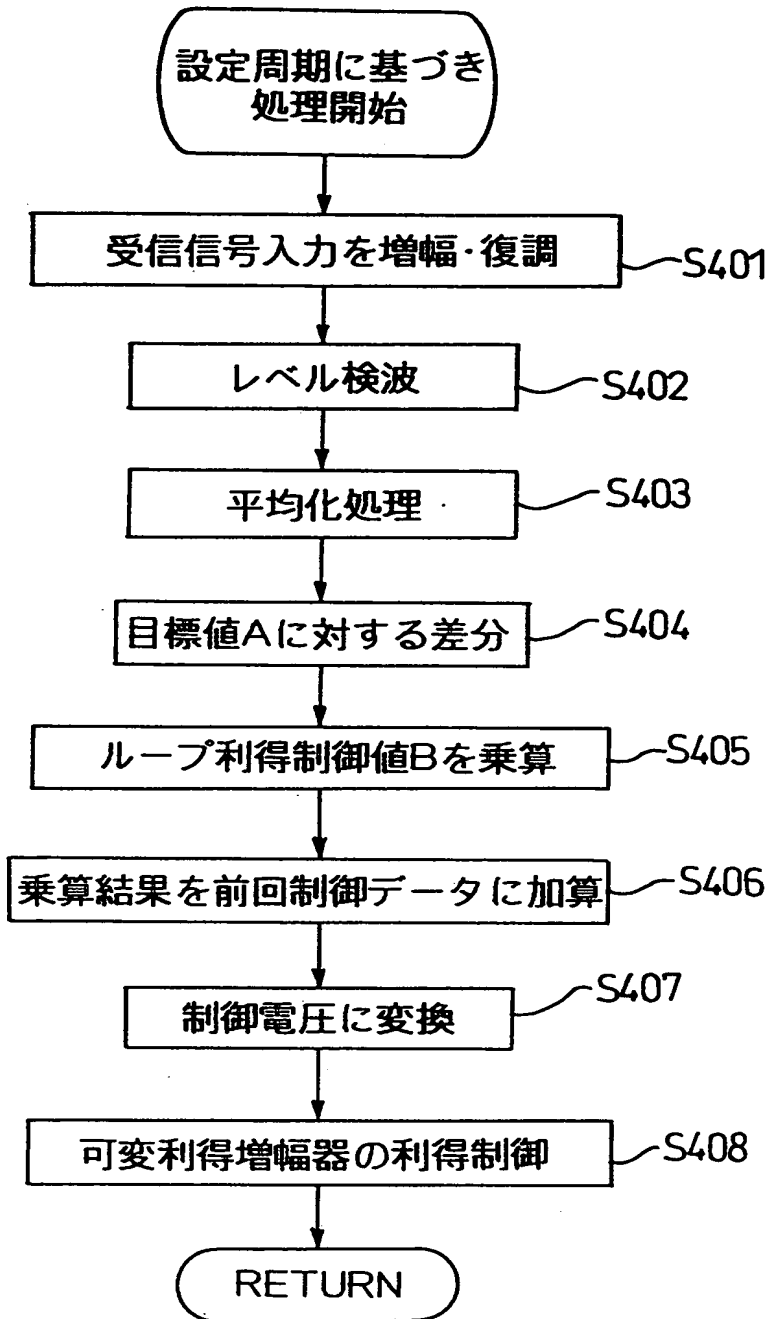
【図 2】



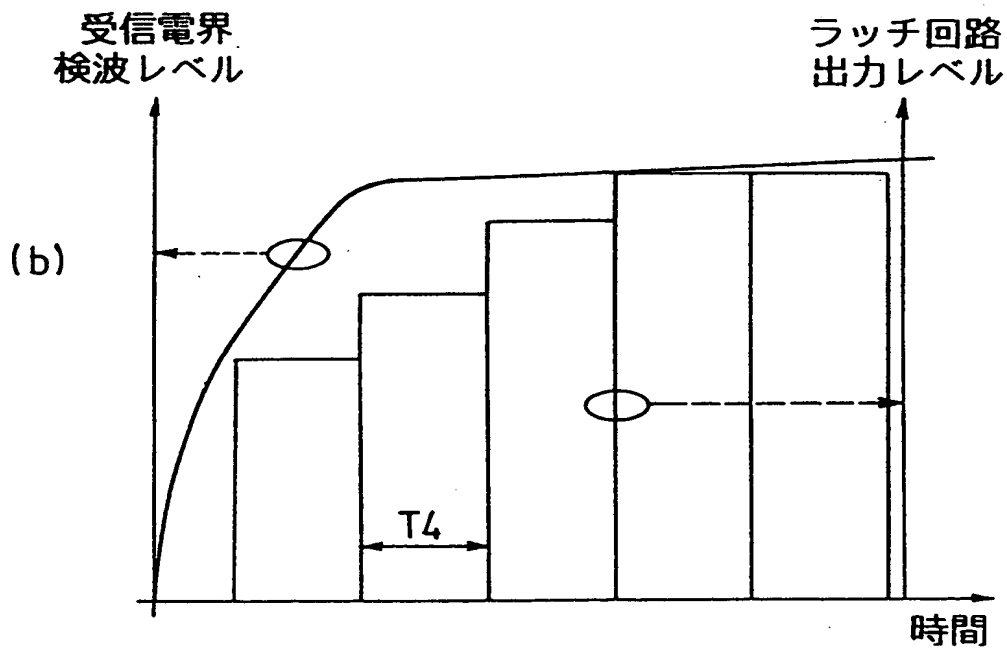
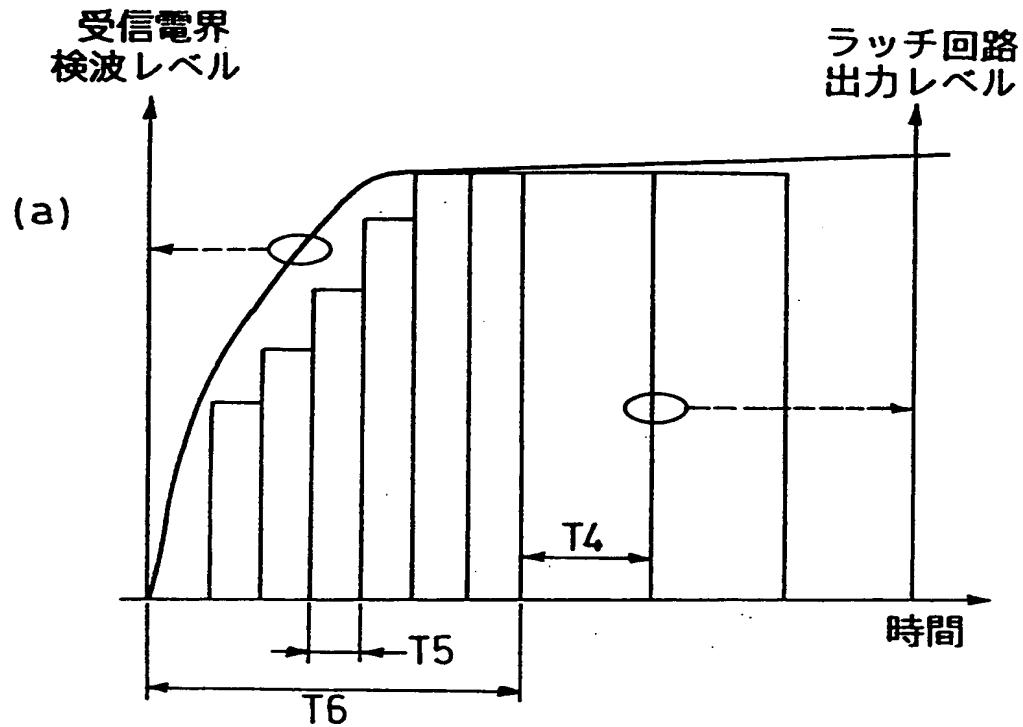
【図 3】



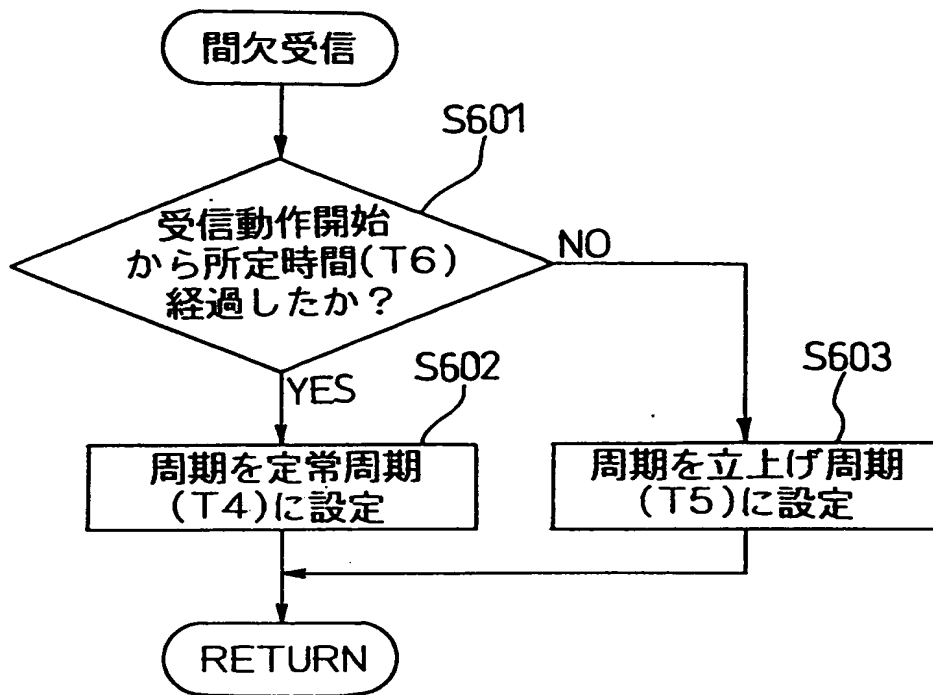
【図 4】



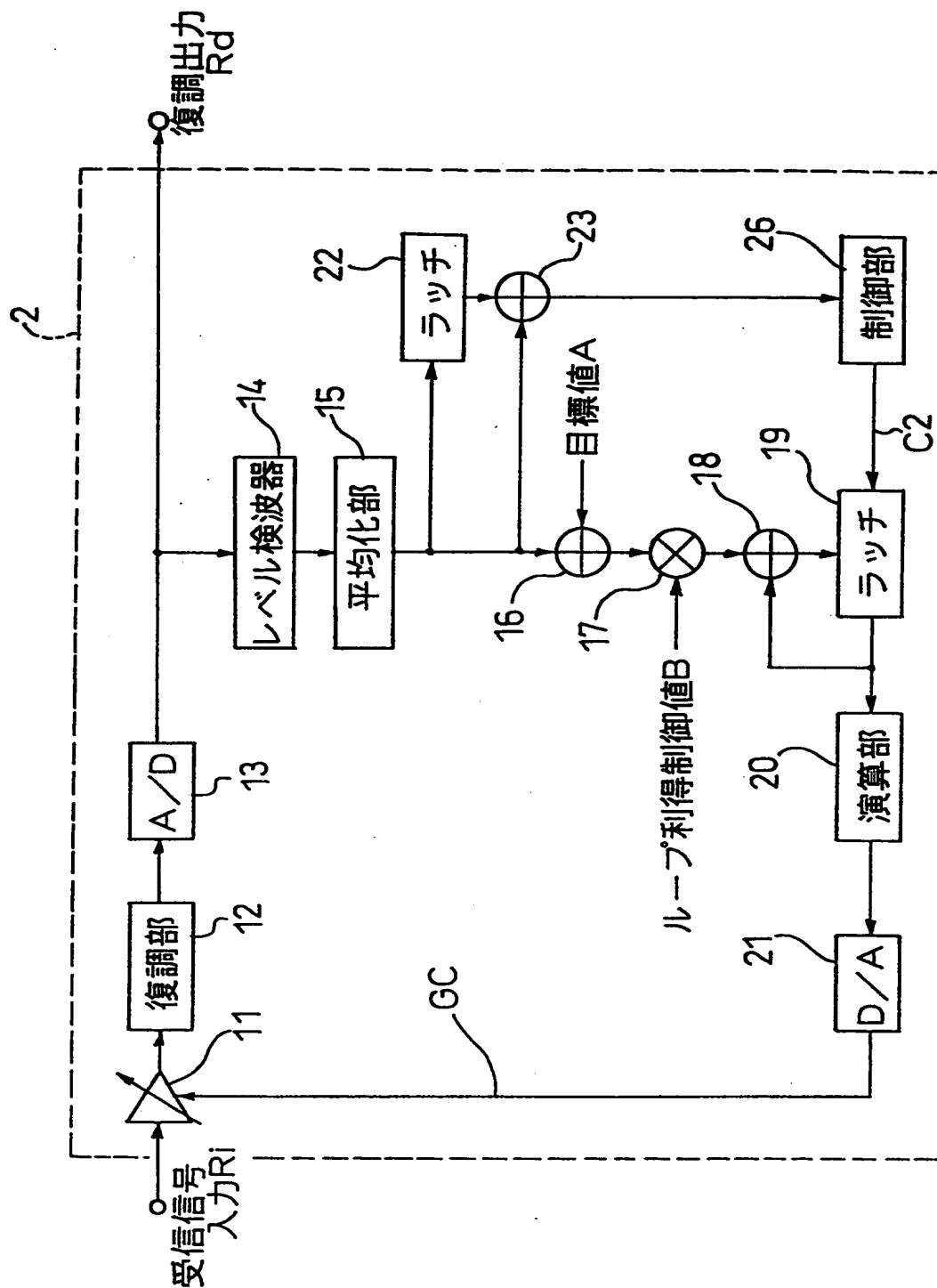
【図 5】



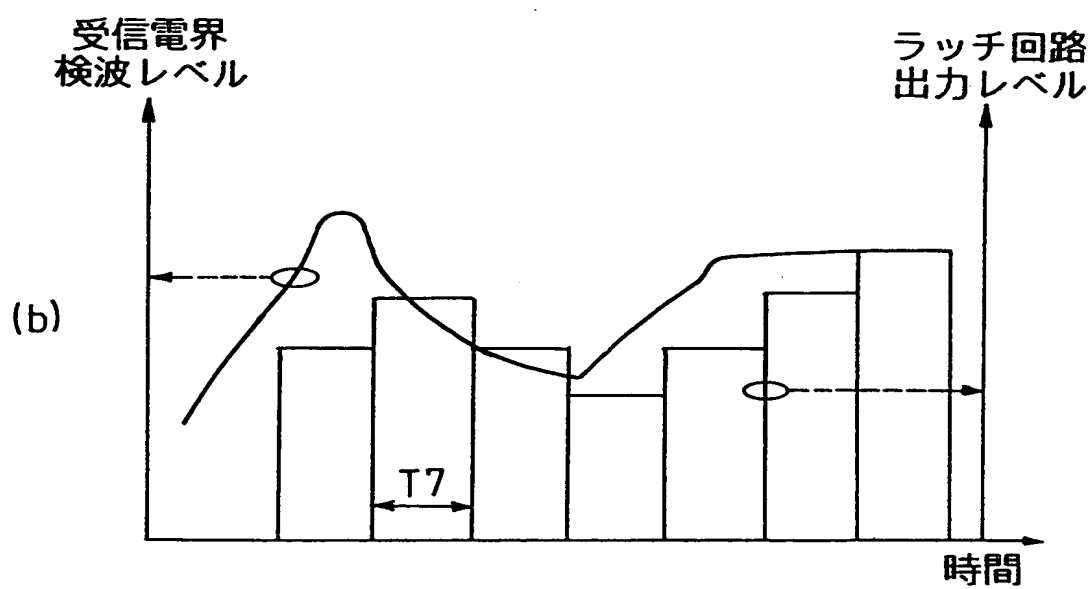
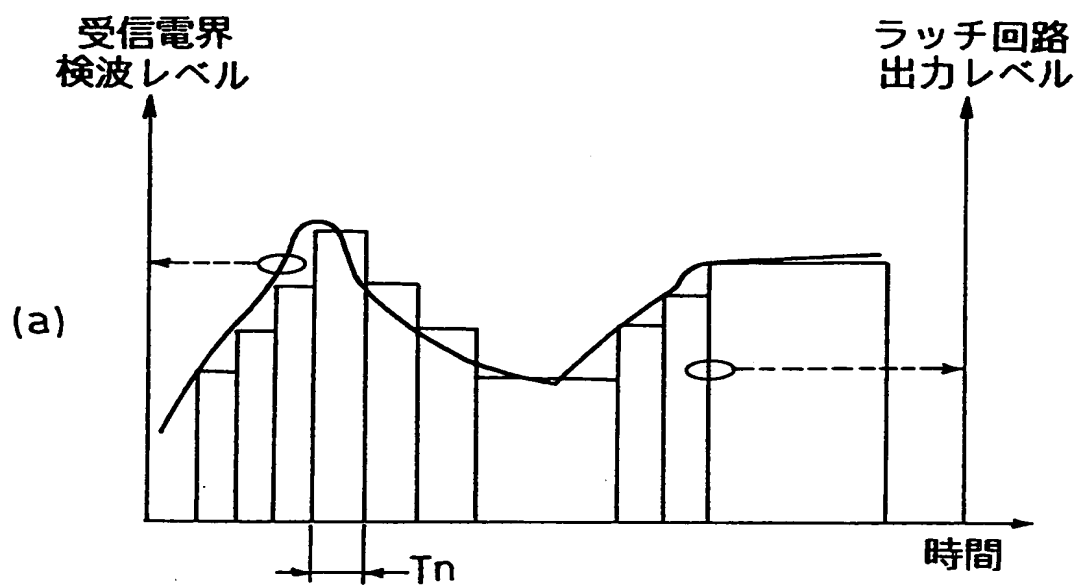
【図 6】



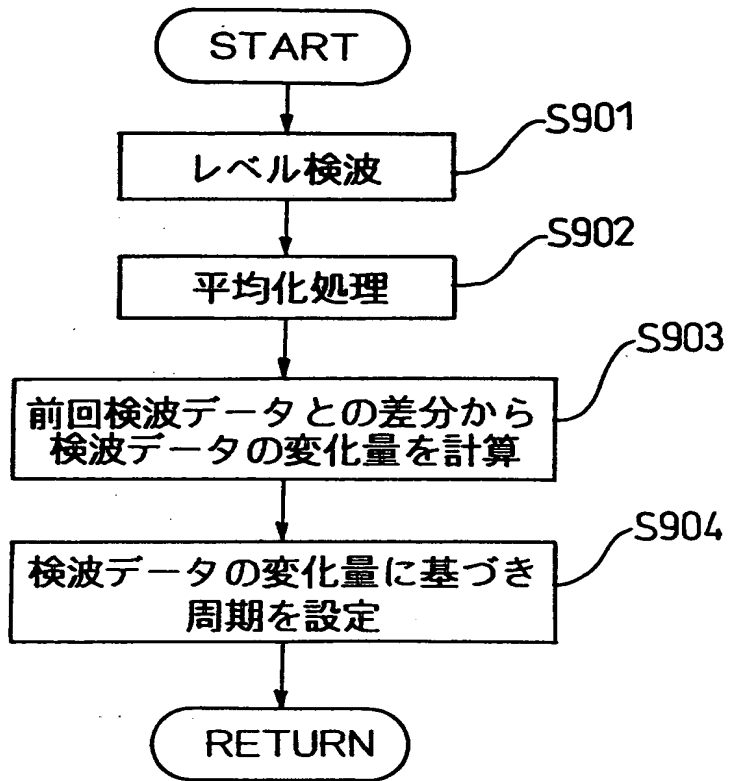
【図 7】



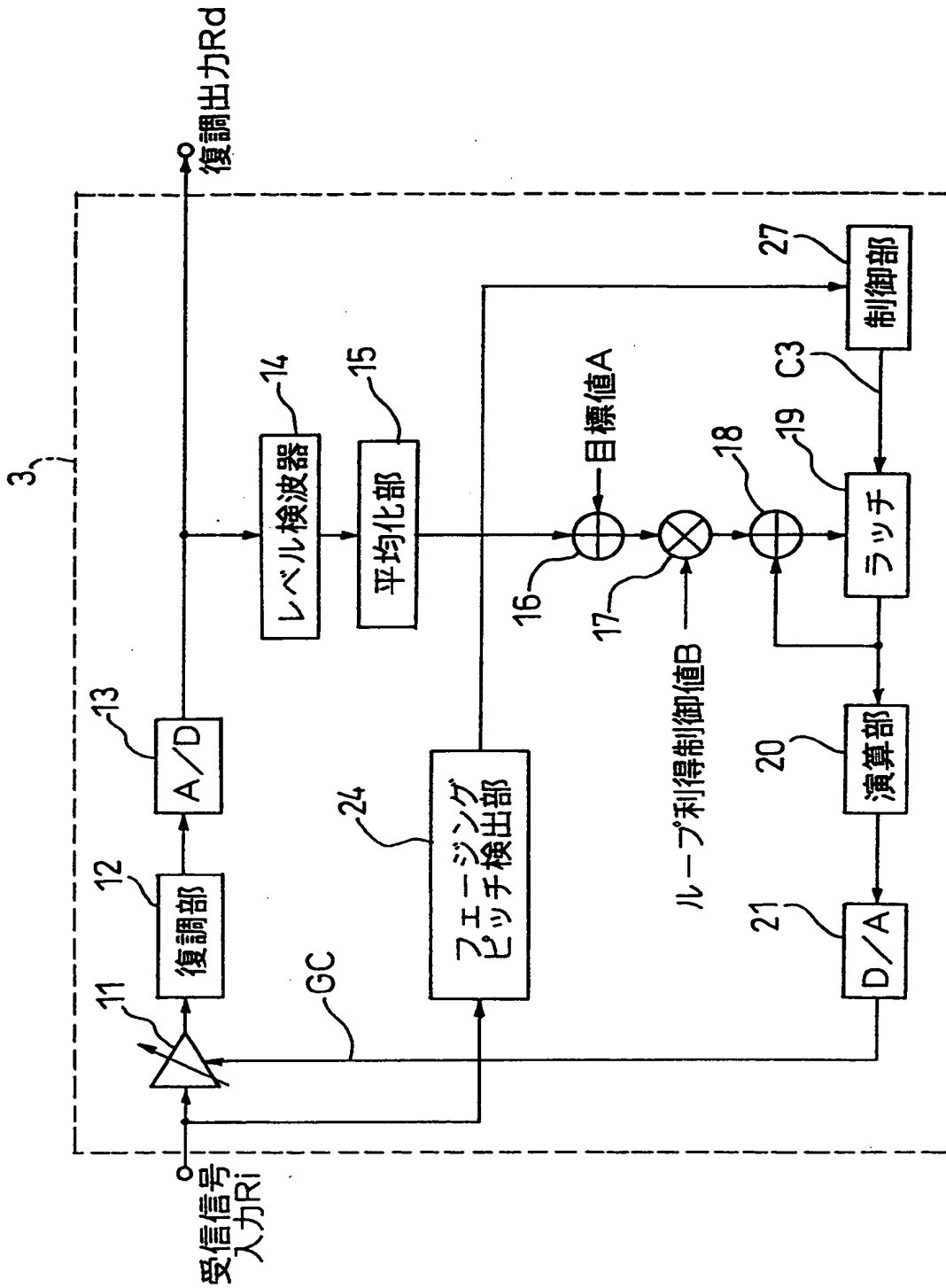
【図 8】



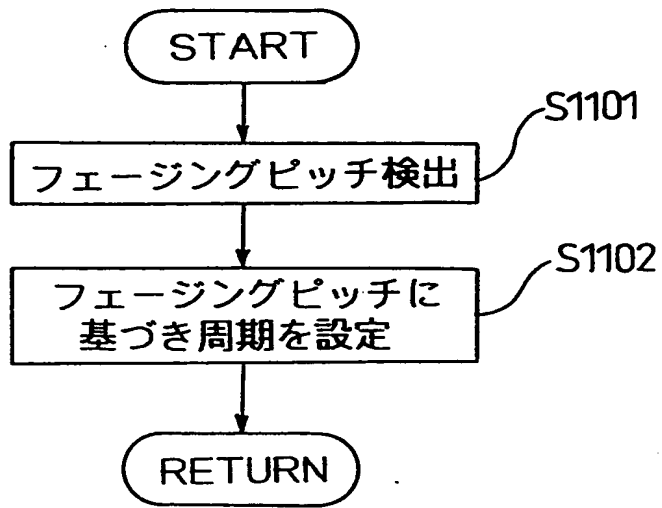
【図 9】



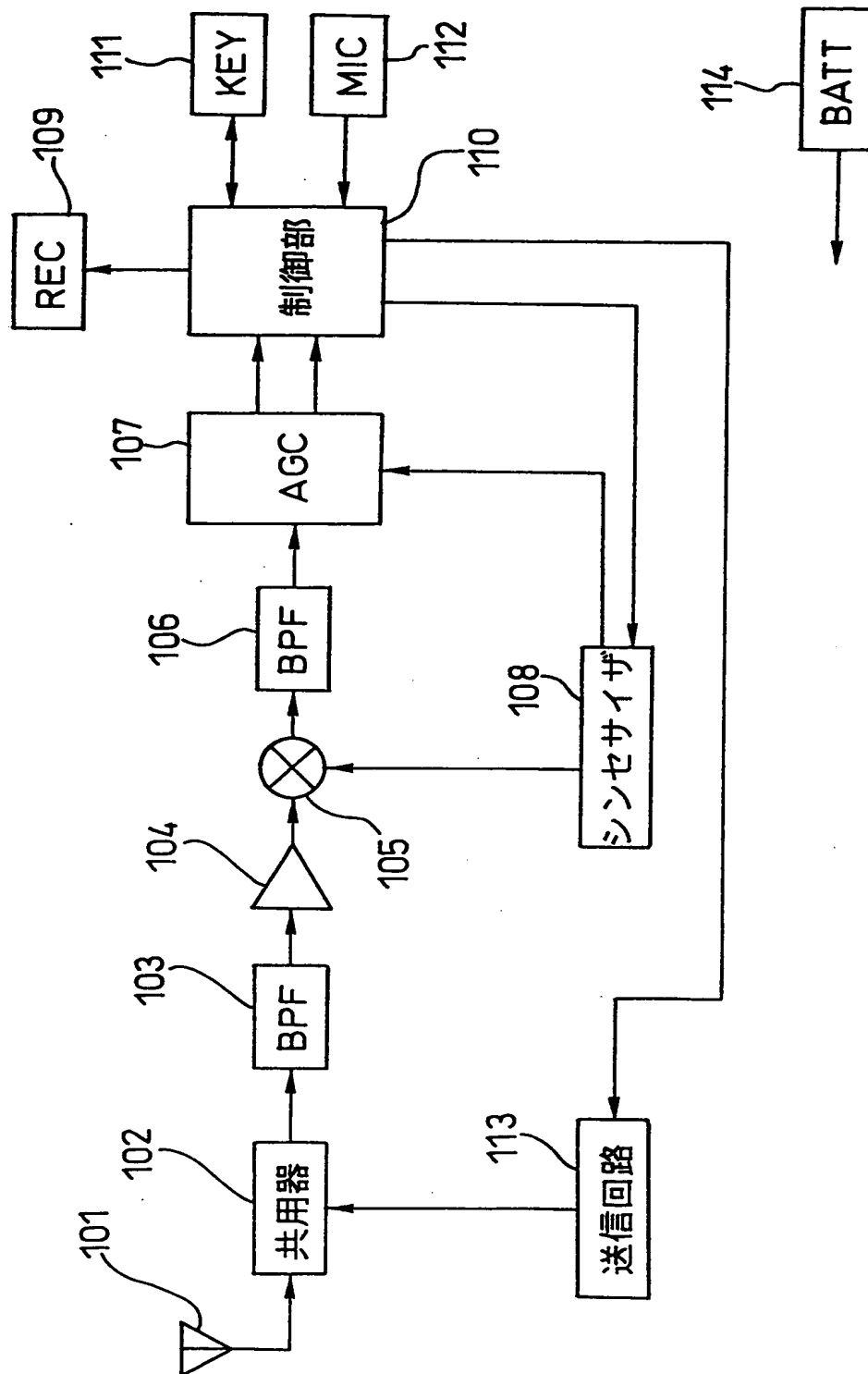
【図 1 0】



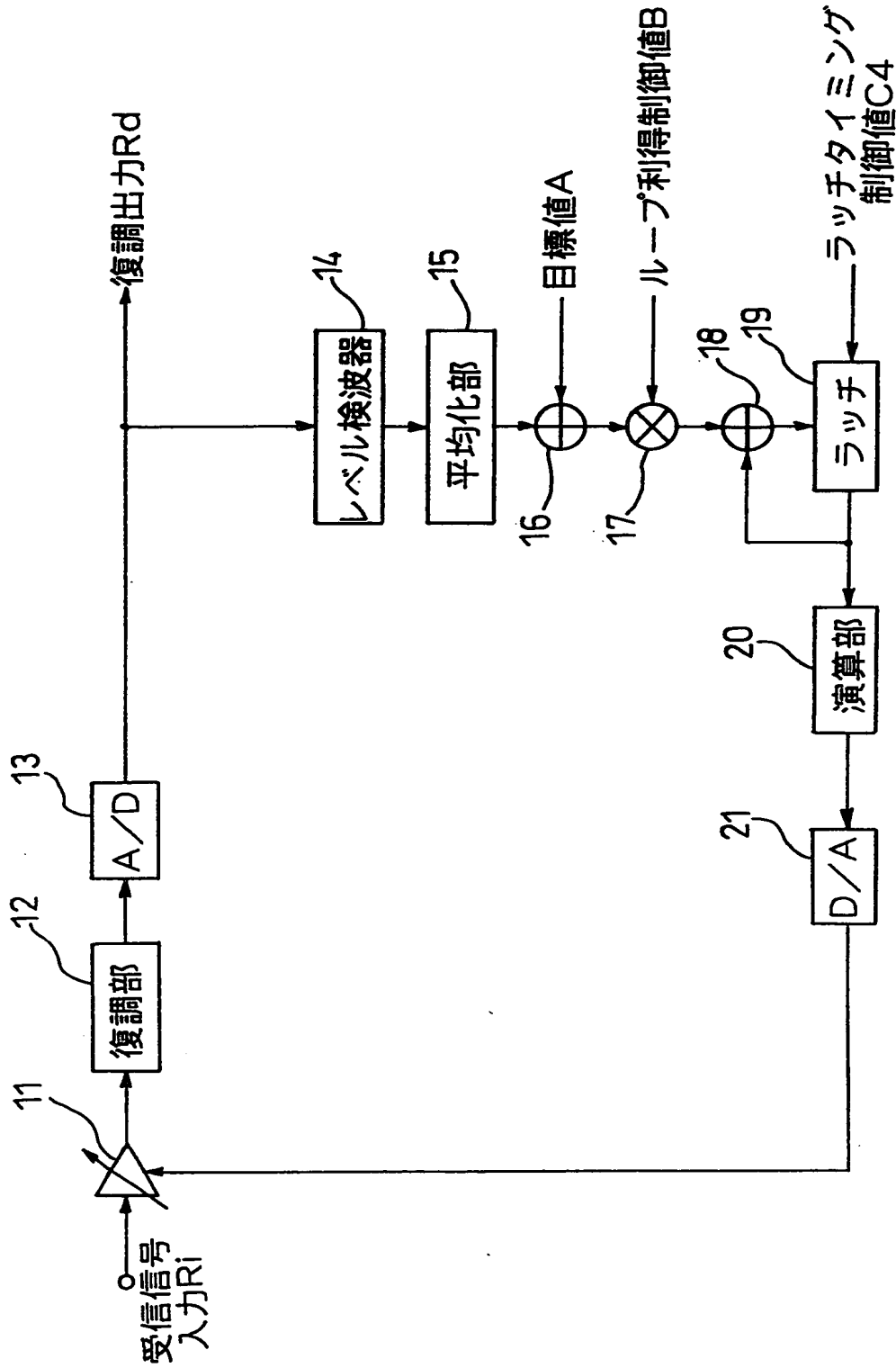
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 自動利得制御ループの追従性を最適化して良好な受信動作を保証した自動利得制御回路およびその回路を備えた受信装置、受信装置における自動利得制御方法、並びに、記録媒体を提供することを目的とする。

【解決手段】 受信装置の動作経過時間に応じて制御信号 G C の生成タイミングまたは生成周期を決定することとし、電源を O F F 状態から O N 状態に遷移させた（電源投入した）時または間欠受信時の未動作状態から定常動作状態までの立ち上がりの一定期間について、制御信号 G C の生成周期を定常動作状態の生成周期よりも短く設定して、自動利得制御ループの応答特性を定常動作状態時よりも早め、さらに、一定時間後には定常動作状態の生成周期に切り替える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社